

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

06146193      \*\*Image available\*\*

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.:      **11-087733** [JP 11087733 A]

PUBLISHED:      March 30, 1999 (19990330)

INVENTOR(s):   YAMAZAKI SHUNPEI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.:      09-268156 [JP 97268156]

FILED:           September 11, 1997 (19970911)

INTL CLASS:    H01L-029/786; H01L-021/336; H01L-021/20; H01L-021/322

#### **ABSTRACT**

**PROBLEM TO BE SOLVED:** To provide a method for manufacturing a semiconductor device of high reliability.

**SOLUTION:** An amorphous semiconductor film 110, whose main component is silicon is crystallized through catalytic action of Cu (copper) or Fe (iron), thus a crystalline silicon film 114 is obtained. Then, a 13 group element (typically boron) is selectively added to form a gettering region 151, and by heating process, Cu or Fe in a region 152 to-be-gettered is moved to the gettering region 151. Thus, such active layer 153 as metal element such as Cu, Fe, etc., is removed is obtained.

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

012467659      \*\*Image available\*\*

WPI Acc No: 1999-273767/199923

XRAM Acc No: C99-080722

XRPX Acc No: N99-205325

Amorphous semiconductor film crystallisation method employed in manufacture of thin film transistor used in electro- optical apparatus - involves performing gettering in area where specific group compound is guided, by heat processing in catalyst element

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME )

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 11087733</b>	A	19990330	JP 97268156	A	19970911	199923    B

Priority Applications (No Type Date): JP 97268156 A 19970911

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 11087733	A	14	H01L-029/786	

Abstract (Basic): JP 11087733 A

NOVELTY - A specific group element is selectively introduced to the crystalline semiconductor film (114). The gettering process is performed in the area where specific group element is guided by heat processing in the catalyst element.

DETAILED DESCRIPTION - An amorphous semiconductor film (110) that consists of silicon is formed on an insulated surface of a substrate. A catalyst element is introduced to activate crystallization in amorphous semiconductor film and a crystalline semiconductor film (114) is obtained.

USE - USE - In manufacture of thin film transistor (TFT) used in electro-optical apparatus. Used as display device in electronic machine.

ADVANTAGE - ADVANTAGE - The capability of operation and reliability of circuit are improved by preventing defect due to characteristic variation during production of TFT.

DESCRIPTION OF DRAWING(S) - The figure shows diagram of production process of crystalline silicon film. (110) Amorphous silicon film; (114) Crystalline semiconductor film.

Dwg.1/11

Title Terms: AMORPHOUS; SEMICONDUCTOR; FILM; CRYSTAL; METHOD; EMPLOY; MANUFACTURE; THIN; FILM; TRANSISTOR; ELECTRO; OPTICAL; APPARATUS; PERFORMANCE; GETTER; AREA; SPECIFIC; GROUP; COMPOUND; GUIDE; HEAT; PROCESS; CATALYST; ELEMENT

Derwent Class: L03; U11; U12

International Patent Class (Main): H01L-029/786

International Patent Class (Additional): H01L-021/20; H01L-021/322; H01L-021/336

File Segment: CPI; EPI

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-87733

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 29/786

H 0 1 L 29/78

6 2 7 G

21/336

21/20

21/20

21/322

J

21/322

29/78

6 1 6 A

審査請求 未請求 請求項の数 8 F D (全 14 頁)

(21) 出願番号

特願平9-268156

(22) 出願日

平成9年(1997) 9月11日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

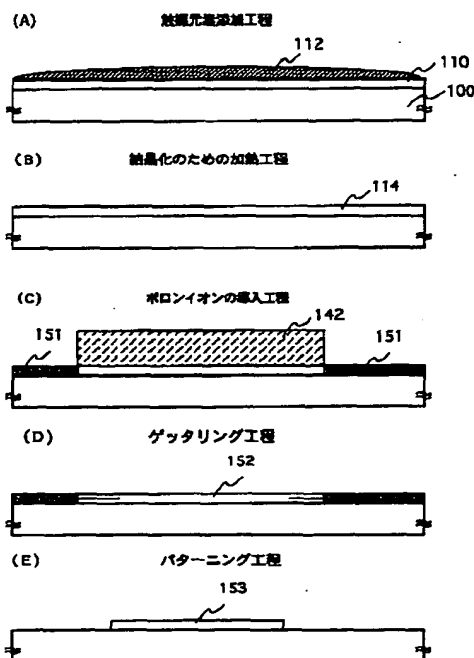
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置の作製方法

(57) 【要約】

【課題】 信頼性の高い半導体装置の作製方法を提供する。

【解決手段】 珪素を主成分とする非晶質半導体膜110をCu(銅)又はFe(鉄)の触媒作用により結晶化し、結晶性珪素膜114を得る。次に、選択的に13族元素(代表的にはボロン)を添加してゲッタリング領域151を形成し、加熱処理により被ゲッタリング領域152中のCuまたはFeをゲッタリング領域151へと移動させる。こうして、Cu、Feといった金属元素を除去した活性層153が得られる。



1

【特許請求の範囲】

【請求項 1】絶縁表面を有する基板上に、珪素を主成分とする非晶質半導体膜を形成する第 1 の工程と、前記非晶質半導体膜に、結晶化を助長する触媒元素を導入する第 2 の工程と、前記非晶質半導体膜を結晶化させ、結晶性半導体膜を得る第 3 の工程と、13 族から選ばれた元素を前記結晶性半導体膜に選択的に導入する第 4 の工程と、加熱処理により前記触媒元素を前記第 4 の工程で 13 族から選ばれた元素を導入した領域にゲッタリングさせる工程と、を少なくとも有することを特徴とする半導体装置の作製方法。

【請求項 2】絶縁表面を有する基板上に、珪素を主成分とする非晶質半導体膜を形成する第 1 の工程と、前記非晶質半導体膜に、結晶化を助長する触媒元素を選択的に導入する第 2 の工程と、前記非晶質半導体膜の少なくとも一部を結晶化させ、結晶性半導体膜を得る第 3 の工程と、13 族から選ばれた元素を前記結晶性半導体膜に選択的に導入する第 4 の工程と、加熱処理により前記触媒元素を前記第 4 の工程で 13 族から選ばれた元素を導入した領域にゲッタリングさせる工程と、を少なくとも有することを特徴とする半導体装置の作製方法。

【請求項 3】請求項 1 または請求項 2 において、前記 13 族から選ばれた元素は B (ボロン) であることを特徴とする半導体装置の作製方法。

【請求項 4】請求項 1 または請求項 2 において、前記加熱処理は 500～1100℃の温度範囲で行われることを特徴とする半導体装置の作製方法。

【請求項 5】請求項 1 または請求項 2 において、前記触媒元素は、Cu (銅) および/または Fe (鉄) であることを特徴とする半導体装置の作製方法。

【請求項 6】請求項 1 または請求項 2 において、前記第 2 の工程は、Cu または Fe を組成に含む化合物を前記非晶質半導体膜上に保持させる工程であることを特徴とする半導体装置の作製方法。

【請求項 7】請求項 6 において、前記 Cu を含む化合物として、酢酸第 2 銅、塩化第 2 銅、硝酸第 2 銅から選ばれた化合物が用いられることを特徴とする半導体装置の作製方法。

【請求項 8】請求項 6 において、前記 Fe を含む化合物として、臭化第 1 鉄、臭化第 2 鉄、酢酸第 2 鉄、塩化第 1 鉄、塩化第 2 鉄、フッ化塩化第 2 鉄、硝酸第 2 鉄、リン酸第 1 鉄、リン酸第 2 鉄から選ばれた化合物が用いられることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、半導体装置および

2

その作製方法に関するものである。特に、本願はアモルファスシリコンの結晶化工程を経て得られる半導体装置およびその作製方法である。

【0002】

【従来の技術】近年、絶縁基板上に半導体薄膜を有する半導体装置の研究が活発に行われている。珪素を主成分とする半導体薄膜は、結晶状態によって、アモルファスシリコン薄膜や結晶性シリコン薄膜というように大きく 2 つに分けることができる。

【0003】本明細書中におけるアモルファスシリコン薄膜とは、アモルファス状態、もしくは実質的にアモルファス状態と言えるような乱雑な結晶状態（例えば、結晶性のよい部分とアモルファスの部分が混在しているような状態）にあるシリコン薄膜のことである。

【0004】このアモルファスシリコン薄膜の電界移動度は、結晶性シリコン薄膜と比べて小さく、P チャネル型の TFT を作製するのが困難であるため、高速動作が要求される回路等には適していない。

【0005】一方、結晶性シリコン薄膜は特性が優れており、アモルファスシリコン薄膜の電界移動度より大きく、高速動作が要求される P チャネル型の TFT を作製することができる。

【0006】この特性の優れた結晶性シリコンを得る方法の一つとして、長時間の加熱処理が挙げられる。従来では、絶縁基板等の絶縁表面を有する表面上にプラズマ CVD 法や熱 CVD 法で形成されたアモルファスシリコン膜を電気炉等の装置の中で 600℃以上の温度で 12 時間以上の長時間にわたって結晶化させて結晶性シリコンを得ていた。特に、良好な特性を得るためには更なる長時間の熱処理が必要となっていた。

【0007】しかしながら、このような方法では、600℃以下の温度ではほとんど結晶成長が進行しなかった。シリコン系においては、一般にアモルファス状態から結晶状態に移行するには、アモルファス状態にある分子鎖を分断し、しかもその分断された分子が、再び他の分子と結合しないような状態としたうえで、何らかの結晶性の分子に合わせて、分子を結晶の一部に組み換えるという過程を経る。しかしながら、この過程のなかで、最初の分子鎖を分断して、他の分子と結合しない状態に保持するためのエネルギーが大きく、結晶化反応においてはここが障壁となっている。このエネルギーを与えるには、1000℃程度の温度で数分、もしくは 600℃程度の温度では数十時間が必要であり、時間は温度（＝エネルギー）に指数関数的に依存するので、600℃以下、例えば、550℃では、結晶化反応が進行することはほとんど観測できなかった。

【0008】そこで、結晶性シリコンを得る他の方法として、アモルファスシリコン膜に結晶化を助長する触媒元素を添加し、加熱処理を行って結晶性シリコン膜を得る方法が知られている。例えば、触媒元素として Fe

(鉄)またはCu(銅)を導入して熱アニールした場合、FeまたはCuがシリコンと結合して珪化物となり、アモルファスシリコンを結晶性シリコンに造り変えながら進行する。この方法を用いることによって、処理温度を20~100℃も引き下げることができ、処理時間も1/5~1/10に短縮することができる。

【0009】

【発明が解決しようとする課題】しかし、上記方法で得られた膜は、膜中に触媒元素である重金属不純物が存在することになる。これらの金属不純物は、シリコン禁制帯中央近傍に準位をつくり、少数キャリアの発生・再結合中心になる。そのため、触媒元素を用いる方法で得られた膜を用いた薄膜トランジスタ(TFT)では、特性のバラツキや信頼性の低下が懸念されている。

【0010】本明細書で開示する発明は、上記問題点を鑑みてなされたものであり、結晶化後の結晶性半導体膜中から触媒として利用した金属元素を除去し、信頼性の高い半導体装置を得るための方法を提供することを課題とする。

【0011】

【課題を解決するための手段】上記問題を解決するため、本発明人は膜中に存在するFeやCuの如き重金属不純物を除去する方法を検討した。少なくとも、チャネル領域と低濃度不純物領域(LDD領域とも呼ばれる)からは、それらの重金属不純物を除去しなくてはならない。

【0012】そして、B(ボロン)を膜中に導入して熱アニールすることにより、FeやCuがボロンに吸い寄せられて、FeBベアー、CuBベアー等の形態に変化する現象に注目した。本発明ではこの様なボロンによる金属元素のゲッタリング効果を利用するものである。

【0013】即ち、本明細書で開示する発明の構成は、絶縁表面を有する基板上に、珪素を主成分とする非晶質半導体膜を形成する第1の工程と、前記非晶質半導体膜に、結晶化を助長する触媒元素を導入する第2の工程と、前記非晶質半導体膜を結晶化させ、結晶性半導体膜を得る第3の工程と、13族から選ばれた元素を前記結晶性半導体膜に選択的に導入する第4の工程と、加熱処理により前記触媒元素を前記第4の工程で13族から選ばれた元素を導入した領域にゲッタリングさせる工程と、を少なくとも有することを特徴とする。

【0014】また、他の発明の構成は、絶縁表面を有する基板上に、珪素を主成分とする非晶質半導体膜を形成する第1の工程と、前記非晶質半導体膜に、結晶化を助長する触媒元素を選択的に導入する第2の工程と、前記非晶質半導体膜の少なくとも一部を結晶化させ、結晶性半導体膜を得る第3の工程と、13族から選ばれた元素を前記結晶性半導体膜に選択的に導入する第4の工程と、加熱処理により前記触媒元素を前記第4の工程で13族から選ばれた元素を導入した領域にゲッタリングさ

せる工程と、を少なくとも有することを特徴とする。

【0015】本発明において、触媒元素をゲッタリングする13族元素としては、B(ボロン)、Al(アルミニウム)、Ga(ガリウム)、In(インジウム)から選ばれた少なくとも1つの元素が用いられ、特にボロンのゲッタリング効果が優れている。また、ボロンは、800℃以上の高温プロセスにおいても十分にFeやCuを捕獲でき、ゲッタリングを行うことができる。

【0016】以上の効果を利用すれば膜中に存在するFeやCuといった重金属不純物を減少させ、TFTの素子特性に悪影響を及ぼすことを抑制することができる。この方法により、銅を導入した場合には500~900℃、鉄を導入した場合には500~1200℃、1分~12時間の加熱処理で重金属不純物を効果的にゲッタリングすることが可能である。

【0017】なお、活性層には微量のボロンが残るが、膜中のボロンは、TFTのしきい値電圧を正の方向にシフトさせる。Nチャネル型半導体装置は、しきい値がマイナス側に大きくシフトしてしまうと非選択時においてもTFTがオン状態(ノーマリオン)となり、いわゆるデプレッション型TFTとなってしまう。本発明ではこのNチャネル型半導体装置のしきい値をボロンの含有量によって制御することができる。

【0018】本発明によって、触媒元素を利用して得た活性層中から効果的に触媒元素を除去することが可能となり、その結果、信頼性の高い半導体装置を作製することが可能となる。以下に実施例を示し、より詳細に本発明を説明する。

【0019】

【実施例】

【実施例1】図1は本実施例の作製工程を示す図である。まず、ガラス基板100上に、図示しないが下地膜として酸化窒化珪素膜を200nmの厚さに成膜した。【0020】次に、後に結晶性珪素膜となる非晶質珪素膜110を50nmの厚さに減圧熱CVD法により成膜した。減圧熱CVD法を用いるのは、その方が後に得られる結晶性珪素膜の膜質が優れているからであり、具体的には膜質が緻密であるからである。なお、減圧熱CVD法以外の方法としては、プラズマCVD法を用いることができる。

【0021】ここで作製する非晶質珪素膜は、膜中の酸素濃度を $2 \times 10^{19} \text{ cm}^{-3}$ 以下とすることが望ましい。酸素濃度が上記濃度範囲より高い場合は、非晶質珪素膜の結晶化が阻害されるので注意が必要である。また他の不純物濃度、例えば、窒素や炭素の不純物濃度は極低い方がよい。具体的には、それらを $5 \times 10^{18} \text{ cm}^{-3}$ 以下の濃度とすることが必要である。

【0022】この非晶質珪素膜の膜厚は、約10~100nm(代表的には10~75nm、好ましくは15~45nm)の範囲から選択することができる。また、非

晶質珪素膜の代わりに $\text{Si}_x\text{Ge}_{1-x}$  ( $0 < x < 1$ ) で示される半導体膜を用いても良い。この様に、基本的には珪素を主成分とする半導体膜を用いる。

【0023】次に、非晶質珪素膜を結晶化させるために銅(Cu)元素の特開平7-130652号公報記載の技術に従って導入した。ここでは、10ppm(溶液全体に対するCuの重量比率)の銅を組成に含んだ化合物である酢酸第2銅 $[\text{Cu}(\text{CH}_3\text{COO})_2]$ の水溶液を非晶質珪素膜の表面に塗布することによって銅元素を導入した。他にも塩化第2銅や硝酸第2銅を用いることもできる。

【0024】Cuの導入方法としては、上記の溶液を用いる方法のほかに、イオン注入(またはイオンドーピング)法、スパッタ法やCVD法、またプラズマ処理や吸着法を使用することができる。このうち上記の溶液を用いる方法は、簡便であり、また金属元素の濃度調整が簡単であるという点で有用である。

【0025】酢酸第2銅水溶液を塗布することにより、図1(A)の112で示されるように、酢酸第2銅水溶液の水膜が形成される。この状態を得た後、図示しないスピナーを用いて余分な溶液を吹き飛ばした。このようにして、Cuを組成に含む化合物が非晶質珪素膜の表面に接して保持された状態とした。

【0026】次に、図1(B)に示す状態において、500℃～700℃の温度での加熱処理を行い、非晶質珪素膜を結晶化させ、結晶性珪素膜114を得た。ここでは、温度550℃、4時間の加熱処理を窒素雰囲気中(不活性雰囲気中)で行った。この加熱処理による結晶化工程において雰囲気を不活性雰囲気とするのは、加熱処理工程において、酸化物が形成されてしまうことを防止するためである。勿論、水素を含有させるなどして還元雰囲気としても良い。

【0027】上述の様に、結晶性珪素膜114を得た後、レーザー光またはそれと同等の強度を持つ強光を照射することにより結晶性珪素膜114の結晶性を改善することは有効である。レーザー光としては、パルス発振型のエキシマレーザーを用いれば良い。

【0028】なお、ここでいう結晶性の改善とは、瞬間的に熔融・再結晶化を行うことで残存する非晶質成分の結晶化、粒界準位の低減及び結晶粒内の欠陥の低減を図ることを意味する。また、併せて膜中のCuを均一に分散させ、後にゲッタリングが効果的に行える様にする意味合いをも持つ。ただし、この工程を省略することは可能である。

【0029】結晶性珪素膜114を得たら、膜中に存在しているCuをゲッタリングする。ゲッタリング工程としては、まず、図1(C)のように、後に活性層となる領域を覆うレジスト142を形成する。

【0030】次に、ボロンイオンをイオン注入法(質量分離あり)またはイオンドーピング法(質量分離なし)

により膜中に導入する。このボロンの導入量は、膜中の濃度が $1.7 \times 10^{11} \text{ atoms/cm}^2$ 以上、より好ましくは $2.5 \times 10^{11} \sim 5 \times 10^{11} \text{ atoms/cm}^2$ 以上とすることが望ましい。なお、このボロンの濃度はSIMSによる測定値に相当する値である。

【0031】また、上記手段以外に、スピナーによりボロンを含有した溶液を塗布して拡散させる手段を用いても良いし、雰囲気ガスにボロンを含ませて気相中から拡散させる手段を用いても構わない。

【0032】その後、500～1100℃(好ましくは600～700℃)の温度で加熱処理を行う。本実施例の様に基板としてガラスを用いる場合はガラスの歪み点(650℃付近)以下で行う。また、基板として石英基用いる場合には1100℃程度の加熱処理にまで耐えうる。

【0033】本実施例の場合、温度範囲は500～650℃(代表的には600℃)で4～16時間(代表的には8～12時間)の加熱処理が好ましい。また、石英を用いるならば600～1000℃(代表的には700～800℃)で1分～12時間(代表的には30分～4時間)の加熱処理が好ましい。本実施例では、600℃、8時間の熱処理を行った。〔図1(D)〕

【0034】この加熱処理によりボロンを添加した領域(以下、ゲッタリング領域と呼ぶ)151にCuがゲッタリングされるので、Cuを除去すべき領域(以下、被ゲッタリング領域と呼ぶ)152中のCuの濃度は、 $5 \times 10^{17} \text{ atoms/cm}^2$ 以下にまで低減される。本発明者の知見では、この濃度ならばデバイス特性に悪影響は見られない。

【0035】このゲッタリング工程を終えたら、被ゲッタリング領域152を利用して活性層153を形成する。こうして触媒元素であるCuを信頼性上問題とならないレベルにまで低減した活性層を得ることができる。〔図1(E)〕

【0036】〔実施例2〕本実施例は、実施例1とは異なる形態の結晶成長を行わせた例である。本実施例は、珪素の結晶化を助長する金属元素を利用して、横成長と呼ばれる基板に平行な方向への結晶成長を行わせる方法に関する。

【0037】図2に本実施例の作製工程を示す。まず、ガラス基板100上に、図示しない下地膜として酸化窒化珪素膜を200nmの厚さに成膜した。次に結晶性珪素膜の出発膜となる非晶質珪素膜110を減圧熱CVD法によって、35nmの厚さに成膜した。なお、減圧熱CVD法の代わりにプラズマCVD法を用いてもよい。この非晶質珪素膜の膜厚は、約10～100nm(代表的には10～75nm、好ましくは15～45nm)の範囲から選択することができる。

【0038】次に、図示しない酸化珪素膜を150nmの厚さに成膜し、それをパターニングすることにより、

符号111で示されるマスクを形成した。該マスク111には符号143で示される領域に開口が形成されている。この開口143が形成されている領域においては、非晶質珪素膜110が露呈している。開口は、図面の奥から手前側方向への長手方向に細長い長方形を有している。この開口の幅は $20\mu\text{m}$ 以上とするのが適当であり、またその長手方向の長さは必要とする長さでもって形成すればよい。ここでは幅を $20\mu\text{m}$ 、長さを $1\text{cm}$ とした。

【0039】次いで、マスク111及び開口143に、重量換算で $10\text{ppm}$ のCu（銅）を含んだ酢酸第2銅 $[\text{Cu}(\text{CH}_3\text{COO})_2]$ 水溶液を塗布した後、図示しないスピナーを用いてスピンドライを実施して余分な溶液を除去した。こうして、図2（A）中の点線112で示されるように、酢酸第2銅が非晶質珪素膜110の露呈した表面に接して保持された状態が実現される。

【0040】次に、窒素雰囲気中において、 $570^\circ\text{C}$ 14時間の加熱処理を行った。なお、温度及び時間は実施例1の結晶化工程と同様の範囲から選ぶことができる。この加熱処理により図2（B）の矢印で示されるように、基板に平行な方向への結晶成長が進行した。この結晶成長はCuが導入された開口143の領域から周囲に向かって進行している。このような基板に平行な方向へ結晶成長した領域を、本明細書中では横成長領域又はラテラル成長領域と指称する。

【0041】本実施例に示すような条件においては、この横成長を $120\mu\text{m}$ 以上にわたって行わせることができる。こうして横成長領域115を有する珪素膜を得た。なお開口143が形成されている領域113においては、珪素膜の表面から下地界面に向かって縦成長とよばれる垂直方向への結晶成長が進行している。

【0042】こうして図2（B）の状態が得られたら、次に、レジストマスク142を形成し、実施例1に示した条件に従ってボロンを添加する。そして、ゲッターリング領域（ボロン添加領域）151を形成する。

【0043】その後、実施例1の条件に従ってゲッターリングのための加熱処理を行う。本実施例では、 $600^\circ\text{C}$ 12時間の熱処理を行う。こうしてCuをゲッターリング領域151に捕獲させ、Cuの濃度が $5\times 10^{17}\text{atoms}/\text{cm}^3$ 以下にまで低減された結晶領域（被ゲッターリング領域）154を形成する。〔図2（D）〕

【0044】このゲッターリング工程を終えたら、被ゲッターリング領域154のみからなる活性層155を形成する。こうして触媒元素であるCuを信頼性上問題とならないレベルにまで低減した活性層を得ることができる。〔図2（E）〕

【0045】〔実施例3〕本実施例は、実施例2とは異なる形態のゲッターリングを行わせた例である。本実施例では、触媒元素を導入したマスク111をそのままボロン注入のマスクに用いる方法に関する。

【0046】まず、実施例2の工程に従って結晶成長工程〔図2（B）〕までを行い、図3（A）の状態を得る。図3（A）において、111は触媒元素の添加工程に使用したマスク、113は縦成長領域、115は横成長領域である。

【0047】次に、マスク111をそのまま残してボロンの添加工程を行う。この工程は実施例1の条件に従えば良い。この時、本実施例では触媒元素を導入する領域とゲッターリングのためのボロンを添加する領域とが同一である点に特徴がある。また、そのため、添加するボロンの濃度は $2\times 10^{15}\sim 5\times 10^{15}\text{atoms}/\text{cm}^3$ と高めに設定することが望ましい。〔図3（B）〕

【0048】こうしてゲッターリング領域156を形成したら、次に、 $650^\circ\text{C}$ 8時間の加熱処理を行い、矢印が示す様にゲッターリング領域156にCuを吸い出させる。この加熱処理により横成長領域115中のCuの濃度は $5\times 10^{17}\text{atoms}/\text{cm}^3$ 以下にまで低減される。なお、加熱処理の条件は実施例1に示した範囲から選ぶことが可能である。〔図3（C）〕

【0049】ゲッターリング工程を終えたら、マスク111を除去した後、バターニングにより横成長領域115のみからなる活性層157を形成する。こうしてCuが効果的に除去された活性層を得ることができる。〔図3（D）〕

【0050】〔実施例4〕本発明では実施例1乃至3に示す構成において、珪素の結晶化を助長する金属元素としてFe（鉄）を用いることもできる。Feを組成に含む化合物としては臭化第1鉄、臭化第2鉄、酢酸第2鉄、塩化第1鉄、塩化第2鉄、フッ化塩化第2鉄、硝酸第2鉄、リン酸第1鉄、リン酸第2鉄等を用いばよい。

【0051】なお、本実施例は実施例1～3の全てとの組み合わせが可能である。

【0052】〔実施例5〕本実施例では、実施例1～3で得られた活性層を用いてTFTを作製する工程を図4～5に示す。まず、実施例1～3のいずれかの方法で形成された活性層116を覆って、珪素を含む絶縁膜となるゲイト絶縁膜117を形成する。ゲイト絶縁膜117の膜厚は $20\sim 250\text{nm}$ の範囲で調節すれば良い。また、成膜方法は公知の気相法（プラズマCVD法、スパッタ法等）を用いば良い。

【0053】次に、一導電性を持たせた珪素膜を成膜し、バターニングによりゲイト電極121を形成する。本実施例ではゲイト電極としてリンを添加した結晶性珪素膜を用いる。このゲイト電極の形成は、成膜時にリンを含有させた結晶性珪素膜を直接成膜して加工するのであっても良いし、ソンドープの結晶性珪素膜を加工した上でイオン注入によってリンを添加するのであっても良い。〔図4（A）〕

【0054】次に、ゲイト電極121をマスクとして自

己整合的にゲイト絶縁膜 117 をエッチングし、ゲイト電極下のみに残存させる。エッチングはドライエッチング法によれば良い。その後、一導電性を付与する不純物元素の添加工程を行う。

【0055】本実施例ではNチャネル型TFETを作製する例としてP（リン）を添加する。リンの代わりにAs（砒素）またはSb（アンチモン）を用いても良い。また、Pチャネル型TFETを作製するのであればB（ボロン）、In（インジウム）またはGa（ガリウム）を用いれば良い。〔図4（B）〕

【0056】この工程によりN型領域122、123が形成される。この時、122、123で示される領域に添加されるリンの濃度は、後の低濃度不純物領域（LDD領域）の濃度を決定するので、それに合わせて調節する。

【0057】次に、厚めに酸化珪素膜または窒化珪素膜を形成し、ドライエッチング法を用いてエッチバックを行い、サイドウォール124を形成する。〔図4（B）〕

【0058】次に、再びリンの添加工程を行う。この工程では先程よりも高濃度（ $1 \times 10^{19} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ ）のリンを添加する。こうして、Nチャネル型TFETのソース領域125、ドレイン領域126、低濃度不純物領域（LDD領域）127が形成される。また、ゲイト電極直下の領域は不純物元素が添加されず、真性又は実質的に真性なチャネル形成領域128となる。〔図4（C）〕

【0059】以上の様にして活性層が完成したら、ファーネスアニール、レーザーアニール、ランプアニール等の組み合わせによって不純物元素の活性化を行う。それと同時に添加工程で受けた活性層の損傷も修復される。

【0060】次に、層間絶縁膜129を500 nmの厚さに形成する。層間絶縁膜129としては酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、有機性樹脂膜、或いはそれらの積層膜を用いることができる。

【0061】次に、コンタクトホールを形成した後、ソース電極130、ドレイン電極131を形成する。最後に、基板全体を350℃の水素雰囲気中で1～2時間加熱し、素子全体の水素化を行うことで膜中（特に活性層中）のダングリングボンド（不対結合手）を終端する。以上の工程によって、図4（D）に示す様な構造のTFETを作製することができる。

【0062】なお、本実施例を実施例4と組み合わせることは容易である。

【0063】〔実施例6〕本実施例では実施例5とは異なる材料でゲイト電極を形成する場合の例について説明する。説明には図5を用いる。

【0064】まず、実施例1～3のいずれかの方法で形成された活性層116を覆って、珪素を含む絶縁膜であるゲイト絶縁膜117を形成する。次に、図示しないア

ルミニウムを主成分とする金属膜を成膜し、パターニングによって後のゲイト電極の原型161を形成する。本実施例では2wt%のスカンジウムを含有したアルミニウム膜を用いる。なお、これ以外にもタンタル膜、導電性を有する珪素膜等を用いることもできる。〔図5（A）〕

【0065】ここで本発明者らによる特開平7-135318号公報記載の技術を利用する。同公報には、陽極酸化により形成した酸化膜を利用して自己整合的にソース/ドレイン領域と低濃度不純物領域とを形成する技術が開示されている。以下にその技術について簡単に説明する。

【0066】まず、アルミニウム膜のパターニングに使用したレジストマスク（図示せず）を残したまま3%シュウ酸水溶液中で陽極酸化処理を行い、多孔性の陽極酸化膜162を形成する。この膜厚が後に低濃度不純物領域の長さになるのでそれに合わせて膜厚を制御する。

【0067】次に、図示しないレジストマスクを除去した後、エチレングリコール溶液に3%の酒石酸を混合した電解溶液中で陽極酸化処理を行う。この処理では緻密な無孔性の陽極酸化膜163が形成される。膜厚は70～120 nmで良い。〔図5（B）〕

【0068】次にゲイト電極164、多孔性の陽極酸化膜162をマスクとしてゲイト絶縁膜117をドライエッチング法によりエッチングする。そして、多孔性の陽極酸化膜162を除去する。こうして形成されるゲイト絶縁膜165の端部は多孔性の陽極酸化膜162の膜厚分だけ露出した状態となる。〔図5（C）〕

【0069】次に、一導電性を付与する不純物元素の添加工程を行う。本実施例ではNチャネル型TFETを例とし、不純物元素として砒素を用いる。

【0070】この工程では、まず1回目の不純物添加を高加速電圧で行い、 $n^-$ 領域を形成する。この時、加速電圧が80keV程度と高いので不純物元素は露出した活性層表面だけでなく露出したゲイト絶縁膜の端部の下にも添加される。さらに、2回目の不純物添加を低加速電圧で行い、 $n^+$ 領域を形成する。この時は加速電圧が10keV程度と低いのでゲイト絶縁膜はマスクとして機能する。

【0071】以上の工程で形成された不純物領域は、 $n^+$ 領域がソース領域166、ドレイン領域167となり、 $n^-$ 領域が一对の低濃度不純物領域（LDD領域とも呼ばれる）168となる。また、ゲイト電極直下の領域は不純物元素が添加されず、真性または実質的に真性なチャネル形成領域169となる。〔図5（D）〕

【0072】以上の様にして活性層が完成したら、ファーネスアニール、レーザーアニール、ランプアニール等の組み合わせによって不純物元素の活性化を行う。それと同時に添加工程で受けた活性層の損傷も修復される。

【0073】次に、層間絶縁膜170を500 nmの厚さに形成する。層間絶縁膜170としては酸化珪素膜、窒化

10

20

30

40

50

珪素膜、酸化窒化珪素膜、有機性樹脂膜、或いはそれらの積層膜を用いることができる。

【0074】次に、コンタクトホールを形成した後、ソース電極171、ドレイン電極172を形成する。最後に、基板全体を350℃の水素雰囲気中で1～2時間加熱し、素子全体の水素化を行うことで膜中（特に活性層中）のダングリングボンド（不対結合手）を終端する。以上の工程によって、図5（E）に示す様な構造のTFTを作製することができる。

【0075】本実施例では、ゲイト電極として低抵抗のアルミニウム膜を使用することで信号遅延の小さい電気回路を構成することが可能である。また、本実施例と実施例4とを組み合わせることは容易である。

【0076】〔実施例7〕本実施例では、実施例1～4に示したボロンによるFeまたはCuのゲッタリング効果に対して、ハロゲン元素による金属元素のゲッタリング効果を併用する構成の例を示す。

【0077】まず、石英基板200を用意し、その上に実施例1～3のいずれかの手段で得られた活性層175を形成する。〔図6（A）〕

【0078】次に、図6（C）に示す様に触媒元素（CuまたはFe）を除去するための加熱処理（触媒元素のゲッタリングプロセス）を行う。この加熱処理は処理雰囲気中にハロゲン元素を含ませ、ハロゲン元素による金属元素のゲッタリング効果を利用するものである。

【0079】なお、ハロゲン元素によるゲッタリング効果を十分に得るためには、上記加熱処理を700℃を超える温度で行なうことが好ましい。この温度以下では処理雰囲気中のハロゲン化合物の分解が困難となり、ゲッタリング効果が得られなくなる恐れがある。そのため加熱処理温度を好ましくは800～1000℃（代表的には950℃）とし、処理時間は0.1～6hr、代表的には0.5～1hrとする。

【0080】代表的な実施例としては酸素雰囲気中に対して塩化水素（HCl）を0.5～10体積％（本実施例では3体積％）の濃度で含有させた雰囲気中において、950℃、30分の加熱処理を行えば良い。HCl濃度を上記濃度以上とすると、活性層の表面に膜厚程度の凹凸が生じてしまうため好ましくない。

【0081】また、ハロゲン元素を含む化合物としてはHClガス以外にもHF、NF<sub>3</sub>、HBr、Cl<sub>2</sub>、ClF<sub>3</sub>、BCl<sub>3</sub>、F<sub>2</sub>、Br<sub>2</sub>等のハロゲン元素を含む化合物から選ばれた一種または複数種のものを用いることができる。

【0082】この工程においては活性層中のCuまたはFeが揮発性の塩化物となってゲッタリングされ、気相中へと除去される。この様に、本発明であるボロンによるゲッタリング効果と本実施例の様なハロゲンによるゲッタリング効果とを併用することで徹底的に活性層中のCuやFeを除去することができる。

【0083】また、上記加熱処理により活性層175表面では熱酸化反応が進行し熱酸化膜176が形成される。それと同時に活性層175は熱酸化によって膜厚が減少する。膜厚が薄いとTFTがオフ状態にある時のリーク電流（オフ電流）の抑制に効果があることが知られており、活性層の薄膜化は非常に有益な効果である。

【0084】こうして図6（B）の状態が得られたら、次に、熱酸化膜176を除去してゲイト絶縁膜177を形成する。膜厚や成膜方法は実施例1に従えば良い。

【0085】ここでゲイト絶縁膜176を形成した後に酸素雰囲気またはハロゲン元素を含む雰囲気中において700～1100℃程度の加熱処理を行うと良い。この加熱処理によって活性層175とゲイト絶縁膜177との界面では熱酸化膜が形成され、非常に準位の少ない界面が得られる。

【0086】また、ゲイト絶縁膜176を成膜した後で熱酸化膜を形成することで、活性層端部（エッジ）における熱酸化膜の形成不良（エッジシニング）を防ぐこともできる。

20 【0087】また、この加熱処理によりゲイト絶縁膜177自体の膜質の向上も図れる。好ましくは処理雰囲気を窒素雰囲気中に切り換えて950℃1時間程度の加熱処理を行うと良い。

【0088】こうして図6（C）の状態が得られる。後の工程は、実施例5または実施例6に従ってTFTを完成させれば良い。

【0089】〔実施例8〕本実施例では、実施例7とは異なる構成でボロンゲッタリングとハロゲンゲッタリングを併用する場合の例を示す。

30 【0090】まず、実施例1又は2の工程に従って図7（A）の状態を得る。ただし、基板としては耐熱性の高い石英基板200を用いている。また、180はレジストマスクであり、その状態でボロンの添加工程を行い、ゲッタリング領域181が形成されている。

【0091】次に、レジストマスク180を除去した後、加熱処理によって被ゲッタリング領域182に残存するCuまたはFeをゲッタリング領域181へと移動させる。この加熱処理の条件は実施例1に示した条件に従えば良い。本実施例では600℃8時間の加熱処理を行い、ゲッタリング工程を行う。〔図7（B）〕

【0092】こうしてボロンによるゲッタリング工程が終了したら、次にハロゲン元素を含む雰囲気中で加熱処理を行い、ハロゲンによるゲッタリング工程を行う。加熱処理の条件は実施例7で示した条件に従えば良い。ただし、ゲッタリング領域181から被ゲッタリング領域182へのボロンの逆拡散を防ぐため、温度範囲は700～800℃とすることが好ましい。〔（図7（C））〕

50 【0093】この加熱処理によって、被ゲッタリング領域182中のCuまたはFeがさらにゲッタリングされ、気相中へと除去される。また、同時に熱酸化膜18

3が形成され、珪素膜の膜厚が減少する。

【0094】こうしてハロゲンによるゲッタリング工程が終了したら、ゲッタリング領域181を完全に除去する形でパターニングを行い、被ゲッタリング領域182のみからなる活性層184を形成する。〔図7(D)〕

【0095】なお、熱酸化膜183はパターニング時の保護膜として利用することができる。パターニング後は除去して、新たにゲイト絶縁膜を形成すれば良い。活性層を形成した後の工程は実施例5又は実施例6を参考にすれば良い。

【0096】〔実施例9〕本実施例では、本発明をボトムゲイト型TFT（代表例として逆スタガ型TFT）に適用した場合の例について説明する。説明には図8を用いる。

【0097】まず、図4(A)において、100は下地膜を設けたガラス基板、201は導電性を持たせた珪素膜でなるゲイト電極、202はゲイト絶縁膜、203は非晶質珪素膜である。ゲイト電極としては、他にもタンタル、モリブデン、クロム及びそれらの積層膜やシリサイド膜を用いることができる。

【0098】本実施例では、非晶質珪素膜203の上にFe(Cuでも構わない)を含有した膜（以下、Fe含有層と呼ぶ）204を形成する。Fe含有層204の形成方法は本発明者らによる特開平7-130652号公報（特に実施例1）に記載された技術を利用すれば良い。〔図8(A)〕

【0099】また、上記公報では触媒元素の添加工程をスピンコート法で行う例が示してあるが、イオン注入法またはプラズマドーピング法を用いることもできる。この場合、添加領域の占有面積の低減、横成長領域の成長距離の制御が容易となるので、微細化した回路を構成する際に有効な技術となる。

【0100】次に、550℃2時間程度の水素出しの後、窒素性雰囲気中で550℃4時間の加熱処理を施し、非晶質珪素膜203の結晶化を行う。こうして結晶性珪素膜205が得られる。〔図8(B)〕

【0101】次に、レジストマスク206を設け、ボロンの添加工程を行う。こうしてボロンを高濃度に含有したゲッタリング領域207が形成される。ゲッタリング領域207の形成工程は実施例1に示した条件に従えば良い。〔図8(C)〕

【0102】次に、レジストマスク206を除去した後、ゲッタリングのための加熱処理（600℃12時間）を行い、被ゲッタリング領域208中のFe（またはCu）をゲッタリング領域207へと移動させる。〔図8(D)〕

【0103】こうして、ボロンによるFeのゲッタリング工程が終了したら、パターニングを行い、被ゲッタリング領域208のみからなる活性層209を形成する。〔図8(E)〕

【0104】次に、ゲイト電極201をマスクとした裏面露光を行うことでレジストマスク210を形成する。そして、N型を付与する不純物元素（代表的にはリン、砒素）を添加して $1 \times 10^{17} \sim 5 \times 10^{18}$  atoms/cm<sup>2</sup>程度の低濃度不純物領域211、212を形成する。〔図9(A)〕

【0105】次に、レジストマスク210を除去した後、再びパターニングしてレジストマスク213を形成する。そして、再びN型を付与する不純物元素を図9(A)の時よりも高濃度（ $1 \times 10^{19} \sim 1 \times 10^{20}$  atoms/cm<sup>2</sup>程度）に添加してNTFTのソース領域214、ドレイン領域215を形成する。

【0106】また、この時、216、217で示される領域は前述の低濃度不純物領域がそのまま残り、後にLDD領域（Light Doped Drain）として機能する。さらに218で示される領域はチャネル形成領域となる。〔図9(B)〕

【0107】次に、レジストマスク213を除去した後、エキシマレーザー光を照射することで添加したイオン注入時の損傷の回復と添加した不純物の活性化を行う。〔図9(C)〕

【0108】レーザーアニールが終了したら、層間絶縁膜219を300～500 nmの厚さに形成する。層間絶縁膜219は酸化珪素膜、窒化珪素膜、有機性樹脂膜又はそれらの積層膜で構成される。

【0109】そして、その上に金属薄膜でなるソース電極220、ドレイン電極221を形成する。金属薄膜としてはアルミニウム、タンタル、チタン、タングステン、モリブデン又はそれらの積層膜を用いれば良い。膜厚は100～300 nmとすれば良い。〔図9(D)〕

【0110】最後に、全体に対して水素雰囲気中、350℃2時間程度の加熱処理を行い、膜中（特にチャネル形成領域中）の不對結合手を水素終端する。以上の工程によって図9(D)に示す様な構造の逆スタガ型TFTが完成する。

【0111】なお、本実施例ではNチャネル型TFTを作製する例を説明したが、本実施例を参考にすればPチャネル型TFTの容易に作製することが可能である。

【0112】また、本実施例は非晶質珪素膜の結晶化手段とし実施例1と同じ手段を用いているが、実施例2の結晶化手段を用いても良い。また、実施例3、4の構成と組み合わせることも可能である。

【0113】また、基板として石英基板を用いれば、実施例7、8に示した構成と組み合わせることも可能である。ただし、その場合にはゲイト電極の耐熱性も考慮する必要がある。

【0114】〔実施例10〕実施例5、6または9ではNチャネル型TFTの作製工程を説明しているが、応用すれば容易にPチャネル型TFTを作製することができる。そのため、同一基板上にNチャネル型TFTとPチ

チャンネル型TFTとを形成し、相補的に組み合わせてCMOS回路を構成することも容易である。

【0115】〔実施例11〕実施例5、6または9に示したTFTに対してチャンネルドープを行うことも可能である。チャンネルドープとは、チャンネル形成領域に対して13族または15族から選ばれた元素を添加し、意図的にしきい値電圧を制御する技術である。

【0116】この場合、しきい値電圧をプラス側に動かすならば13族元素を、マイナス側に動かすならば15族元素をチャンネル形成領域に対して添加すれば良い。勿論、同一基板上に13族元素を添加する領域と15族元素を添加する領域とが混在する様な構成であっても良い。

【0117】なお、本実施例を実施例1〜4または7、8、10の構成と組み合わせることも可能である。

【0118】〔実施例12〕本実施例では実施例1〜11に示した構成の半導体装置（具体的にはTFT）を用いてガラス基板上に回路を形成し、電気光学装置を構成する場合の例を示す。代表的には液晶表示装置、EL（エレクトロルミネッセンス）表示装置、EC（エレクトロクロミクス）表示装置、イメージセンサ、CCD等を作製することが可能である。

【0119】なお、本明細書において電気光学装置とは、電気信号を光学的信号に変換する装置またはその逆を行う装置と定義する。

【0120】図10（A）に示すのは液晶表示装置（液晶モジュール）である。11はアクティブマトリクス基板であり、ガラス基板上に本願発明のTFTで構成された画素マトリクス回路12、ソース側駆動回路13、ゲイト側駆動回路14で構成される。なお、アクティブマトリクス基板11の構造によって、図10（A）の液晶モジュールを反射型にすることも透過型にすることもできる。

【0121】以上の様な構成でなるアクティブマトリクス基板11と、対向基板16との間には液晶層（図示せず）がシール材によって封入されている。また、アクティブマトリクス基板11と対向基板16とは一辺を除いて全ての端面が揃う様に貼り合わされており、その一辺ではアクティブマトリクス基板11の一部が露出する様に対向基板16が除去されている。

【0122】この領域はソース／ゲイト側駆動回路13、14に外部からの信号を伝達するための端子が剥き出しになっており、FPC（フレキシブルプリントサーキット）17を接続するための領域となる。

【0123】また、FPC17を取り付ける領域を有効に活用してICチップ18、19を取り付けることができる。本実施例では2つのチップを取り付けているが1つ又は2つ以上の複数個を設ける構成が可能である。本実施例の構成は液晶モジュールのサイズを最小限に抑えるのに有効である。

【0124】このICチップは映像情報を含むビデオ信号の情報処理、クロックパルス発生・制御回路など、映像表示を行うに必要な各種信号処理回路を含むロジック回路を構成する。本実施例では単結晶チップ上に形成されたMOSFETで各回路を構成し、それをICチップとして基板に搭載している。

【0125】なお、本実施例ではICチップ17、18をフェイスダウン方式で搭載する例を示しているが、フェイスアップ方式（ワイヤボンディング方式）であっても構わない。

【0126】なお、本実施例に示す液晶モジュールは反射型にも透過型にもできる。

【0127】〔実施例13〕実施例12に示した電気光学装置は、様々な電子機器のディスプレイとして利用される。なお、本実施例に挙げる電子機器とは、液晶モジュールに代表される電気光学装置を搭載した製品と定義する。

【0128】その様な電子機器としては、ビデオカメラ、スチルカメラ、プロジェクター、プロジェクションTV、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ（ノート型を含む）、携帯情報端末（モバイルコンピュータ、携帯電話等）などが挙げられる。それらの一例を図11に示す。

【0129】図11（A）は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明は音声出力部2002、音声入力部2003、表示装置2004等に適用することができる。

【0130】図11（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明は表示装置2102、音声入力部2103、受像部2106に適用することができる。

【0131】図11（C）はモバイルコンピュータ（モバイルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は受像部2203、表示装置2205等に適用できる。

【0132】図11（D）はヘッドマウントディスプレイであり、本体2301、表示装置2302、バンド部2303で構成される。本発明は表示装置2302に適用することができる。

【0133】図11（E）はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403に適用することができる。

【0134】図11（F）はフロント型プロジェクター

であり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本発明は表示装置2503に適用することができる。

【0135】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、他にも電光掲示板、宣伝公告用ディスプレイなどにも活用することができる。

【0136】

【発明の効果】本発明によって、非晶質半導体膜の結晶化に利用した触媒元素(Cu、Fe)をボロンによって効果的に除去することができる。こうすることで生産性の高い結晶性半導体膜に対して高い信頼性という付加価値をつけることができる。

【0137】この結晶性半導体膜を用いて作製したTFTは、多数のTFTを作製した場合の特性のばらつきによる不良等を抑えることができるので、回路を構成した時の動作性能及び信頼性を向上させることができる。

【0138】また、その様なTFTで構成した回路を有する電気光学装置、延いてはその電気光学装置を表示ディスプレイとして利用した電子機器の信頼性を確保することが可能となる。

【図面の簡単な説明】

【図1】 実施例1における結晶性珪素膜の作製工程を示す図

【図2】 実施例2における結晶性珪素膜の作製工程を示す図

\*【図3】 実施例3における結晶性珪素膜の作製工程を示す図

【図4】 実施例5における薄膜トランジスタの作製工程を示す図

【図5】 実施例6における薄膜トランジスタの作製工程を示す図

【図6】 実施例7における薄膜トランジスタの作製工程を示す図

【図7】 実施例8における薄膜トランジスタの作製工程を示す図

【図8】 実施例9における結晶性珪素膜の作製工程を示す図

【図9】 実施例9における結晶性珪素膜の作製工程を示す図

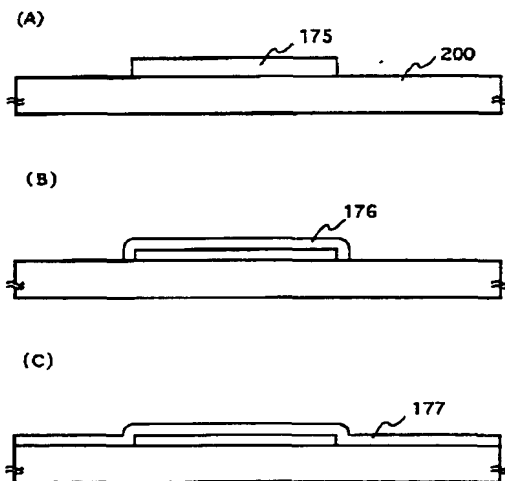
【図10】 実施例12における電気光学装置の構成を示す図

【図11】 実施例13における電子機器の構成を示す図

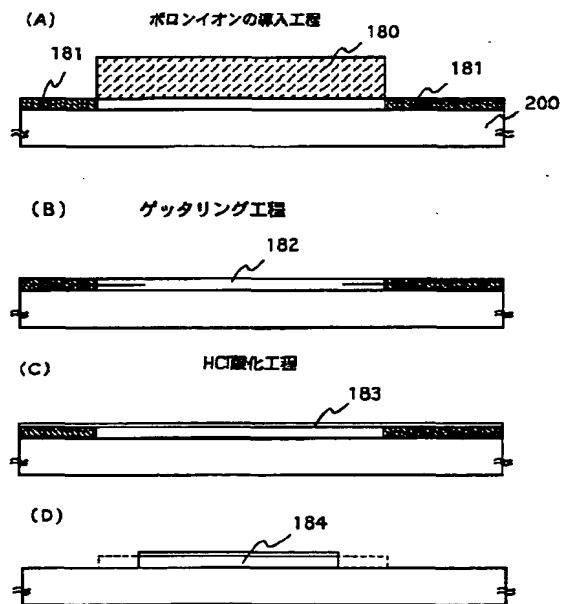
【符号の説明】

100	絶縁表面を有する基板
110	非晶質珪素膜
112	水膜
114	結晶性珪素膜
142	レジストマスク
151	ゲッタリング領域
152	被ゲッタリング領域
* 153	活性層

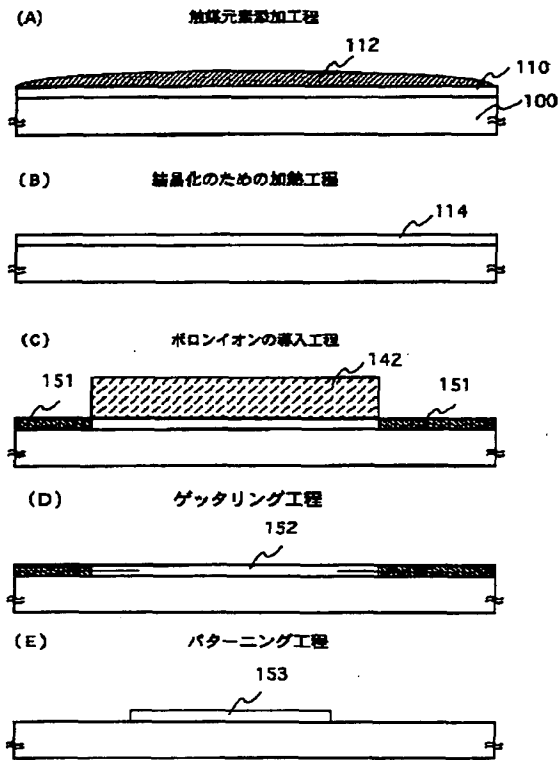
【図6】



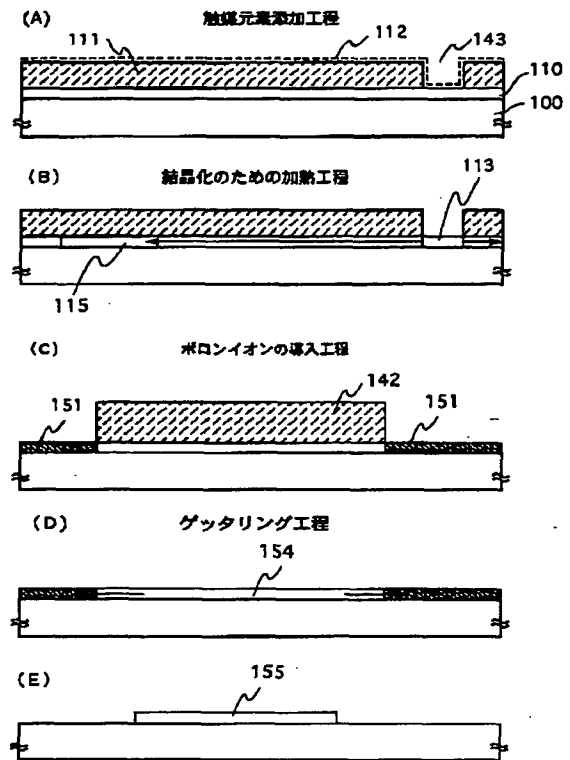
【図7】



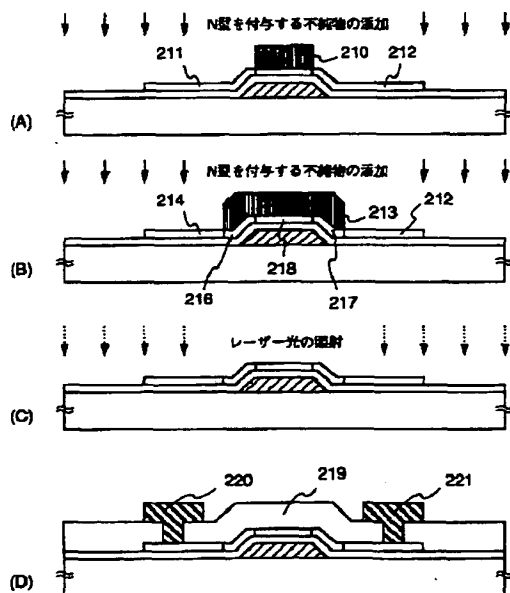
【図 1】



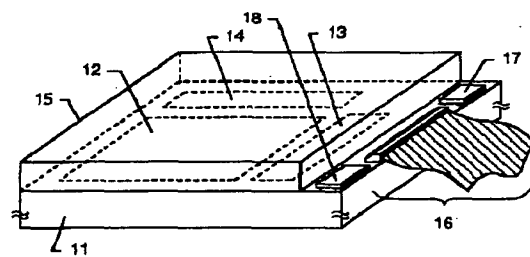
【図 2】



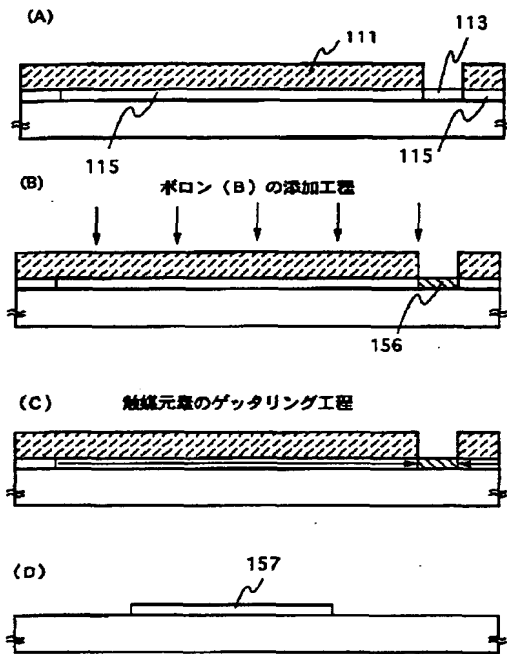
【図 9】



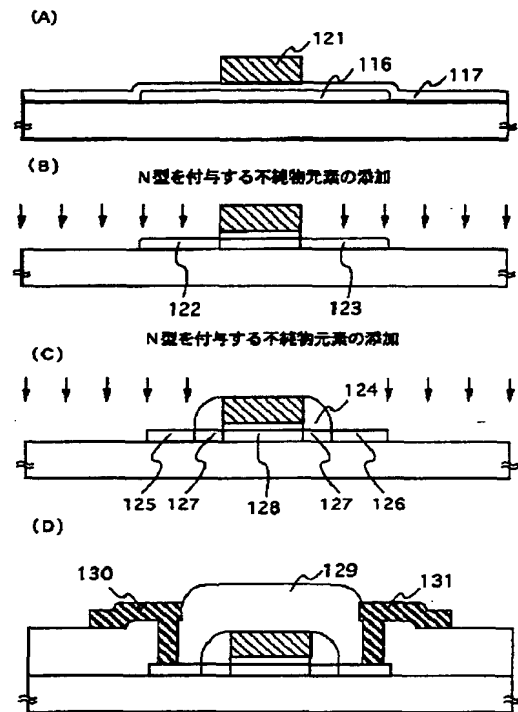
【図 10】



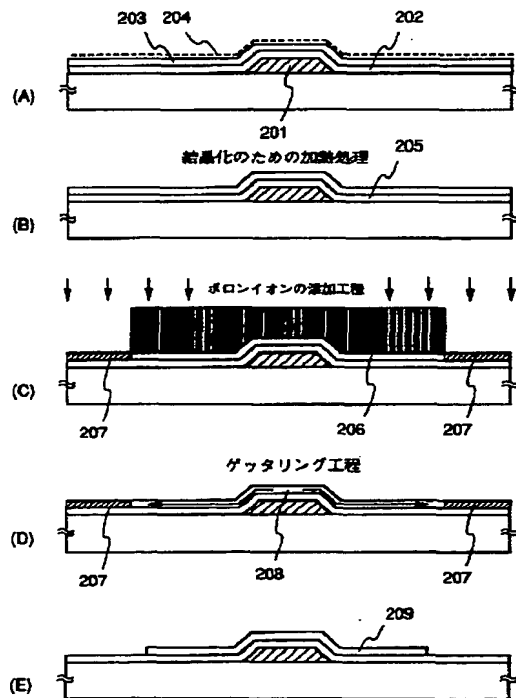
【図 3】



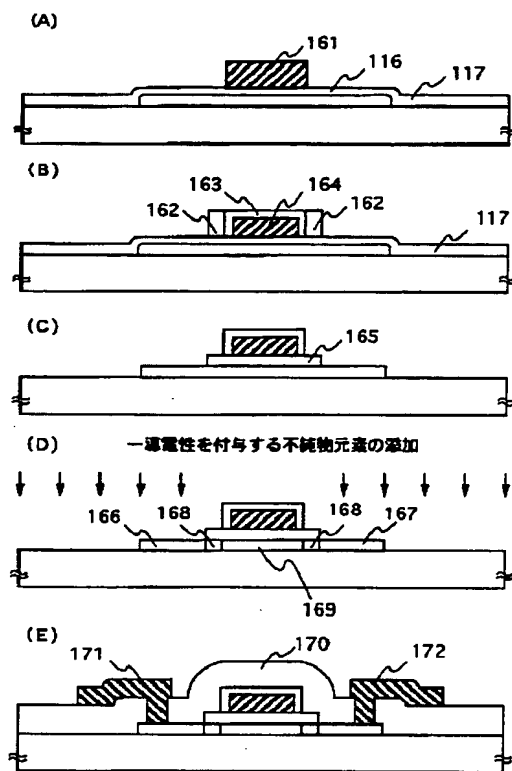
【図 4】



【図 8】



【図5】



【図 11】

